

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-029298

(43)Date of publication of application : 29.01.2003

(51)Int. Cl. G02F 1/1368
 G09F 9/00
 G09F 9/30
 G09F 9/35
 H01L 29/786

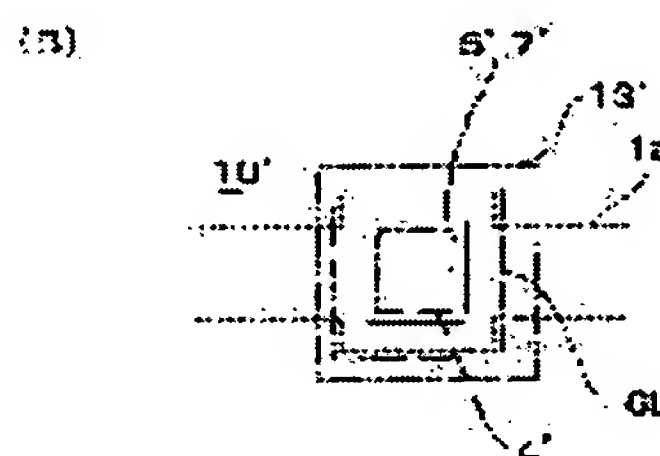
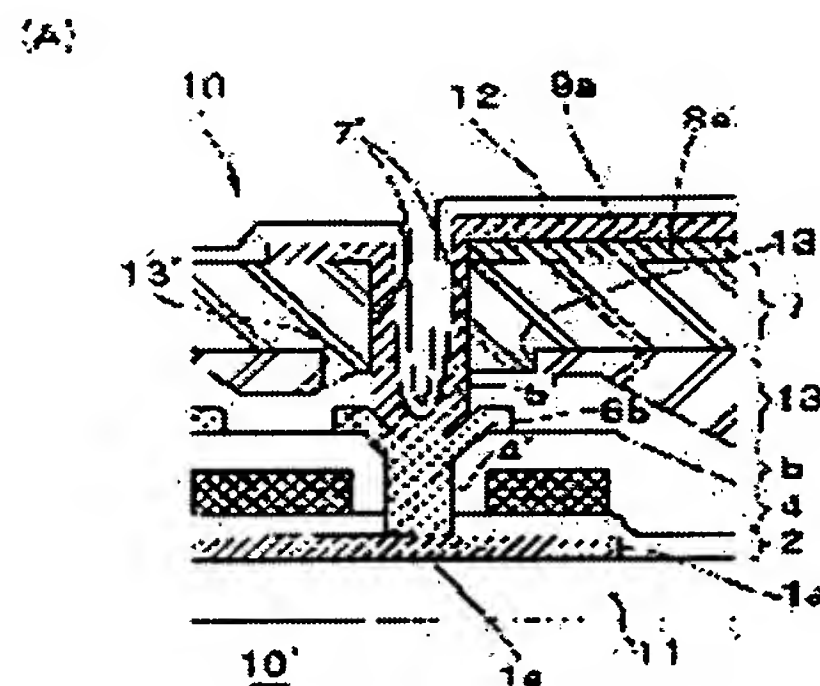
(21)Application number : 2001-218788 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 18.07.2001 (72)Inventor : IDE KATSUYA

(54) THIN FILM SEMICONDUCTOR DEVICE, ELECTRO-OPTICAL DEVICE, ELECTRONIC INSTRUMENT AND MANUFACTURING METHOD FOR THIN FILM SEMICONDUCTOR DEVICE AND ELECTRO-OPTICAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film semiconductor device, an electro-optical device, an electronic instrument and a manufacturing method for the thin film semiconductor device and the electro-optical device wherein dimensional precision is satisfied and both the enhancement of productivity and the reduction of material cost can be performed.

SOLUTION: An active matrix substrate 10 of a liquid crystal device has a first photosensitive resin 7 provided with a contact hole 7' and a second photosensitive resin 13 formed on the upper layer side of the layer of the first photosensitive resin and a contact hole 13' having the size smaller than the size of the contact hole 7' is formed in the position superposed on the contact hole 7' in the second photosensitive resin layer 13. The first photosensitive resin 7 consists of a negative acrylic resin layer and the second photosensitive resin 13 consists of a positive acrylic resin layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for

application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-29298
(P2003-29298A)

(43)公開日 平成15年1月29日(2003.1.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/00	3 4 2	G 0 9 F 9/00	3 4 2 Z 5 C 0 9 4
	9/30 3 3 8		9/30 3 3 8 5 F 1 1 0
	9/35		9/35 5 G 4 3 5
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 A
審査請求 未請求 請求項の数13 O L (全 14 頁)			

(21)出願番号 特願2001-218788(P2001-218788)

(22)出願日 平成13年7月18日(2001.7.18)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 井出 勝也

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外2名)

最終頁に続く

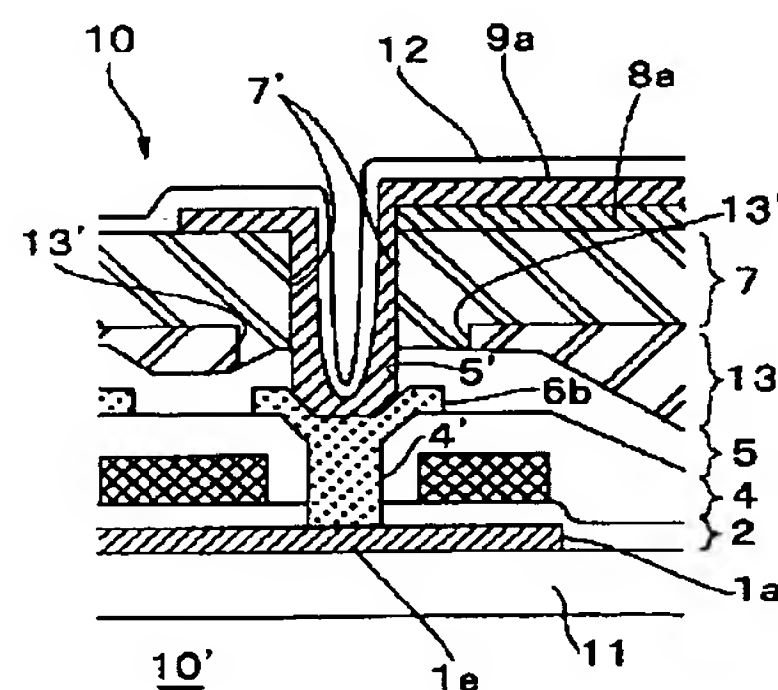
(54)【発明の名称】 薄膜半導体装置、電気光学装置、電子機器、薄膜半導体装置並びに電気光学装置の製造方法

(57)【要約】

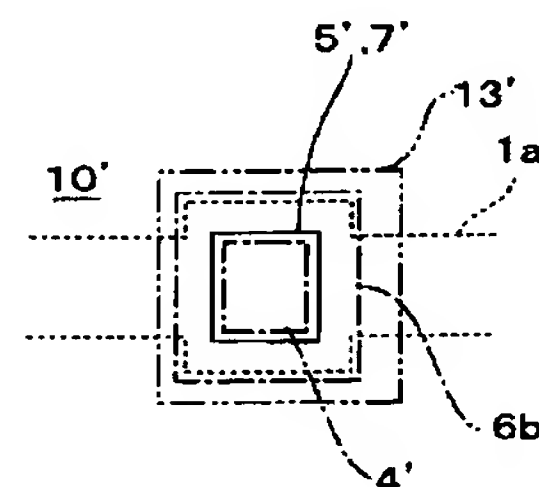
【課題】 寸法精度を満たし、かつ、生産性の向上、および材料コストの低減の双方を図ることのできる薄膜半導体装置、電気光学装置、電子機器、薄膜半導体装置並びに電気光学装置の製造方法を提供すること。

【解決手段】 液晶装置のアクティブマトリクス基板10は、コンタクトホール7'を備えた第1の感光性樹脂7と、この感光性樹脂層の上層側に形成された第2の感光性樹脂13とを有し、第2の感光性樹脂層13には、コンタクトホール7'と重なる位置にそれよりも小さなコンタクトホール13'が形成されている。第1の感光性樹脂13はネガ型のアクリル樹脂層であり、第2の感光性樹脂13はポジ型のアクリル樹脂層である。

(A)



(B)



【特許請求の範囲】

【請求項 1】 基板の表面側に、第 1 のコンタクトホールを備えた第 1 の感光性樹脂層と、該第 1 の感光性樹脂層の上層側に形成された第 2 の感光性樹脂層とを有し、当該第 2 の感光性樹脂層には、前記第 1 のコンタクトホールと重なる位置に当該第 1 のコンタクトホールよりも小さな第 2 のコンタクトホールが形成された薄膜半導体装置において、

前記第 1 の感光性樹脂層はネガ型の感光性樹脂層であり、前記第 2 の感光性樹脂層はポジ型の感光性樹脂層であることを特徴とする薄膜半導体装置。

【請求項 2】 請求項 1 において、前記第 1 の感光性樹脂層はネガ型のアクリル樹脂層であり、前記第 2 の感光性樹脂層はポジ型のアクリル樹脂層であることを特徴とする薄膜半導体装置。

【請求項 3】 請求項 1 または 2 において、前記第 1 の感光性樹脂層および前記第 2 の感光性樹脂層は各々、前記基板上にスピンコート法により塗布された後、露光、現像されてなることを特徴とする薄膜半導体装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、前記第 1 の感光性樹脂層は、突起あるいは孔からなる複数の凹凸を形成する凹凸形成層であり、前記第 2 の感光性樹脂層は、当該凹凸形成層を覆うように形成された上層膜であり、当該上層膜の上層側には、前記凹凸形成層の凹凸によって光散乱用の凹凸パターンが表面に形成された光反射膜が形成されていることを特徴とする薄膜半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに規定する薄膜半導体装置を備えた電気光学装置であって、前記薄膜半導体装置は、画素電極および該画素電極に接続する画素スイッチング用の薄膜トランジスタがマトリクス状に形成されたアクティブマトリクス基板であり、前記アクティブマトリクス基板と、該アクティブマトリクス基板に対して対向配置された対向基板との間に電気光学物質が保持され、前記アクティブマトリクス基板上では、前記薄膜トランジスタと前記画素電極とが前記第 1 の感光性樹脂層および前記第 2 の感光性樹脂層の前記コンタクトホールを介して電氣的に接続していることを特徴とする電気光学装置。

【請求項 6】 請求項 5 において、前記電気光学物質は液晶であることを特徴とする電気光学装置。

【請求項 7】 請求項 1 ないし 6 のいずれかに規定する電気光学装置を表示部として備えてなることを特徴とする電子機器。

【請求項 8】 基板の表面側に第 1 の感光性樹脂を塗布した後、露光、現像して、第 1 のコンタクトホールを備えた第 1 の感光性樹脂層を形成し、次に、前記第 1 の感光性樹脂層の上層側に第 2 の感光性樹脂を塗布した後、露光、現像して、前記第 1 のコンタクトホールと重なる

位置に当該第 1 のコンタクトホールよりも小さな第 2 のコンタクトホールを備えた第 2 の感光性樹脂層を形成する薄膜半導体装置の製造方法において、

前記第 1 の感光性樹脂はネガ型の感光性樹脂層であり、前記第 2 の感光性樹脂層はポジ型の感光性樹脂であることを特徴とする薄膜半導体装置の製造方法。

【請求項 9】 請求項 8 において、前記第 1 の感光性樹脂はネガ型のアクリル樹脂層であり、前記第 2 の感光性樹脂はポジ型のアクリル樹脂層であることを特徴とする薄膜半導体装置の製造方法。

【請求項 10】 請求項 8 または 9 において、前記第 1 の感光性樹脂を前記基板上にスピンコート法により塗布した後、露光、現像し、次に、前記第 2 の感光性樹脂を前記基板上にスピンコート法により塗布した後、露光、現像することを特徴とする薄膜半導体装置の製造方法。

【請求項 11】 請求項 8 ないし 10 のいずれかにおいて、前記第 1 の感光性樹脂層については突起あるいは孔からなる複数の凹凸を形成する凹凸形成層として形成し、前記第 2 の感光性樹脂層については前記凹凸形成層を覆う上層膜として形成し、当該上層膜の上層側には、前記凹凸形成層の凹凸によって光散乱用の凹凸パターンが表面に形成された光反射膜を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項 12】 請求項 8 ないし 11 のいずれかに規定する薄膜半導体装置の製造方法を用いた電気光学装置の製造方法であって、前記薄膜半導体装置は、画素電極および該画素電極に接続する画素スイッチング用の TFT がマトリクス状に形成されたアクティブマトリクス基板であり、該アクティブマトリクス基板上では、前記薄膜トランジスタと前記画素電極とを前記第 1 の感光性樹脂層および前記第 2 の感光性樹脂層の前記コンタクトホールを介して電氣的に接続させるとともに、前記アクティブマトリクス基板と、該アクティブマトリクス基板に対して対向配置された対向基板との間に電気光学物質を保持させることを特徴とする電気光学装置の製造方法。

【請求項 13】 請求項 12 において、前記電気光学物質は液晶であることを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に感光性樹脂層が形成された薄膜半導体装置、この薄膜半導体装置をアクティブマトリクス基板として用いた電気光学装置、それを用いた電子機器、薄膜半導体装置並びに電気光学装置の製造方法に関するものである。

【0002】

【従来の技術】液晶装置などの電気光学装置は、各種機

器の直視型あるいは投射型の表示装置として用いられている。このような電気光学装置のうち、アクティブマトリクス型の液晶装置では、対向配置されたアクティブマトリクス基板と対向基板とがシール材で貼り合わされているとともに、基板間でシール材で区画された領域内に電気光学物質としての液晶が保持されている。

【0003】また、反射型あるいは半透過・半反射型のアクティブマトリクス型の液晶装置では、対向基板の側から入射してきた外光を対向基板の方に向けて反射するための光反射膜が透明な画素電極の下層側に形成されており、対向基板側から入射した光をアクティブマトリクス基板の側で反射し、対向基板の側から出射された光によって画像を表示する。但し、光反射膜で反射された光の方向性が強いと、画像をみる角度で明るさが異なるなどの視野角依存性が顕著に出てくる。

【0004】そこで、従来は、アクティブマトリクス基板を製造する際、図15(A)に示すように、第2層間絶縁膜5(表面保護膜)の表面に、アクリル樹脂などといった第1の感光性樹脂13''を厚めに塗布した後、露光マスク510''を介して第1の感光性樹脂13''を露光し、現像することによって、図15(B)に示すように、所定パターンの凹凸形成層13aを形成した後、図15(C)に示すように、凹凸形成層13aの上層側に、同じくアクリル樹脂などの第2の感光性樹脂7を塗布し、この第2の感光性樹脂7を露光マスク520''を介して露光し、現像することによって、図15(D)に示すように、コンタクトホールを備えた上層膜7aを形成する。従って、上層膜7aの表面に光反射膜を形成すると、その表面には光散乱用の凹凸パターンが形成され、この凹凸パターンの形状は滑らかである。

【0005】このような製造方法において、感光性樹脂13''、7としては、従来、ポジ型の感光性樹脂が用いられているため、図15(A)、(C)に示すように、感光性樹脂13''、7を除去したい部分に対して、露光マスク510''、520の透光部分511''、521を介して紫外線が照射される。

【0006】また、アクティブマトリクス基板10には、画素スイッチング用のTFT30が形成されており、感光性樹脂13''、7はいずれも、TFT30が形成されている領域に層間絶縁膜として残される。なお、感光性樹脂13''、7を層間絶縁膜として用いるにあたっては、図15(A)、(C)に示すフォトリソグラフィ工程での露光、現像によって、互いに重なる位置にコンタクトホール13'、7'を形成する。ここで、コンタクトホール13'は約5 μ m～約10 μ mと大きめで、かつ、寸法精度が厳しくないが、コンタクトホール7'は5 μ mと小さめで、かつ、高い寸法精度が求められる。

【0007】

【発明が解決しようとする課題】しかしながら、従来の

ように、第1の感光性樹脂13''、および第2の感光性樹脂7のいずれにもポジ型のものを用いると、以下のような問題点がある。まず、ポジ型の感光性樹脂は、解像度が高いという利点はあるが、感度が悪いため、露光時間を長く設定する必要があるので、露光のタクトが長いという問題点がある。また、感光性樹脂をスピンコート法で塗布した場合、基板中心と比較して周辺部で樹脂が厚く塗布されてしまうが、ポジ型の感光性樹脂の場合、この厚く成膜された周辺部から感光性樹脂を除去するには、通常の露光を行った後、別途、周辺部に対して露光を行わなければならないので、生産性が低い。さらに、ポジ型の感光性樹脂は、ネガ型の感光性樹脂と比較して高価である。

【0008】但し、第1の感光性樹脂、および第2の感光性樹脂のいずれにもネガ型のものを用いると、上記の問題点は解消できるものの、ネガ型の感光性樹脂は解像度が低いため、それを層間絶縁膜として用いた場合に寸法精度の高いコンタクトホールを形成できないという問題点がある。

【0009】以上の問題点に鑑みて、本発明の課題は、感光性樹脂を形成する際、要求される寸法精度を十分、満たすことができ、かつ、生産性の向上、および材料コストの低減を図ることができる薄膜半導体装置、電気光学装置、電子機器、薄膜半導体装置並びに電気光学装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板の表面側に、第1のコンタクトホールを備えた第1の感光性樹脂層と、該第1の感光性樹脂層の上層側に形成された第2の感光性樹脂層とを有し、当該第2の感光性樹脂層には、前記第1のコンタクトホールと重なる位置に当該第1のコンタクトホールよりも小さな第2のコンタクトホールが形成された薄膜半導体装置において、前記第1の感光性樹脂層はネガ型の感光性樹脂層であり、前記第2の感光性樹脂層はポジ型の感光性樹脂層であることを特徴とする。

【0011】また、本発明では、基板の表面側に第1の感光性樹脂を塗布した後、露光、現像して、第1のコンタクトホールを備えた第1の感光性樹脂層を形成し、次に、前記第1の感光性樹脂層の上層側に第2の感光性樹脂を塗布した後、露光、現像して、前記第1のコンタクトホールと重なる位置に当該第1のコンタクトホールよりも小さな第2のコンタクトホールを備えた第2の感光性樹脂層を形成する薄膜半導体装置の製造方法において、前記第1の感光性樹脂はネガ型の感光性樹脂層であり、前記第2の感光性樹脂層はポジ型の感光性樹脂であることを特徴とする。

【0012】本発明では、第2の感光性樹脂については、小さくて、かつ、寸法の許容範囲の狭いコンタクトホールを形成する必要があるので、解像度の高いポジ型

の感光性樹脂を用いるのに対して、第1の感光性樹脂については、大きくて、かつ、寸法の許容範囲の広いコンタクトホールを形成すればよいので、ネガ型の感光性樹脂を用いる。ここで、ネガ型の感光性樹脂は、ポジ型の感光性樹脂を用いた場合と比較して、解像度が低いというデメリットはあるが、感度が高いため、露光時間を短縮できるので、露光のタクトを短くできる。また、感光性樹脂をスピンコート法で塗布した場合、基板中心と比較して周辺部で樹脂が厚く塗布されてしまうが、ネガ型の感光性樹脂の場合、感光性樹脂を残したい領域に露光すればよいので、周辺部から感光性樹脂を除去した場合には周辺部を露光マスクで遮光したままにしておけばよい。それ故、通常の露光を行った後、別途、周辺部に対して露光を行うという手間を省けるので、生産性が高い。さらに、ネガ型の感光性樹脂は、ポジ型の感光性樹脂と比較して安価である。よって、本発明によれば、感光性樹脂を形成するにあたって、要求される寸法精度を十分、満たすことができ、かつ、生産性の向上、および材料コストの低減を図ることができる。

【0013】本発明において、前記第1の感光性樹脂層は、例えばネガ型のアクリル樹脂層であり、前記第2の感光性樹脂層は、例えばポジ型のアクリル樹脂層である。

【0014】本発明において、前記第1の感光性樹脂層および前記第2の感光性樹脂層は各々、前記基板上にスピンコート法により塗布された後、露光、現像されてなる。

【0015】本発明において、前記第1の感光性樹脂層は、突起あるいは孔からなる複数の凹凸を形成する凹凸形成層であり、前記第2の感光性樹脂層は、当該凹凸形成層を覆うように形成された上層膜であり、当該上層膜の上層側には、前記凹凸形成層の凹凸によって光散乱用の凹凸パターンが表面に形成された光反射膜が形成される。凹凸形成層はあくまで凹凸を形成するだけのものであるため、その形成位置などに対して厳しい要求がないので、ネガ型の感光性樹脂で十分、対応することができる。

【0016】本発明に係る薄膜半導体装置は、例えば、アクティブマトリクス型の電気光学装置に用いられるアクティブマトリクス基板である。このアクティブマトリクス基板では、画素電極および該画素電極に接続する画素スイッチング用の薄膜トランジスタがマトリクス状に形成され、このアクティブマトリクス基板と、該アクティブマトリクス基板に対して対向配置された対向基板との間には、液晶などといった電気光学物質が保持される。また、アクティブマトリクス基板上では、前記薄膜トランジスタと前記画素電極とが前記第1の感光性樹脂層および前記第2の感光性樹脂層の前記コンタクトホールを介して電氣的に接続している。

【0017】本発明を適用した電気光学装置は、携帯電

話機、モバイルコンピュータなどといった電子機器の表示装置として用いることができる。

【0018】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。以下の説明では、各種の電気光学装置のうち、アクティブマトリクス型の液晶装置のアクティブマトリクス基板を薄膜半導体装置として、本発明を適用した例を説明する。なお、本発明を適用した液晶装置は、基本的な構造などが、図15を参照して説明したものと共通するので、対応する部分については同一の符号を付して説明する。

【0019】（電気光学装置の基本的な構成）図1は、本発明を適用した液晶装置を各構成要素とともに対向基板の側から見た平面図であり、図2は、図1のH-H'断面図である。図3は、液晶装置の画像表示領域においてマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。なお、本形態の説明に用いた各図では、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0020】図1および図2において、本形態の液晶装置100（電気光学装置）は、アクティブマトリクス基板10（薄膜半導体装置）と対向基板20とがシール材52によって貼り合わされ、このシール材52によって区画された領域（液晶封入領域）内には、電気光学物質としての液晶50が挟持されている。シール材52の形成領域の内側領域には、遮光性材料からなる周辺見切り53が形成され、この周辺見切り53によって画像表示領域10aが規定されている。

【0021】シール材52の外側の領域には、データ線駆動回路101、および実装端子102がアクティブマトリクス基板10の一辺に沿って形成されており、この一辺に隣接する2辺に沿って走査線駆動回路104が形成されている。アクティブマトリクス基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104の間をつなぐための複数の配線105が設けられており、更に、周辺見切り53の下などを利用して、プリチャージ回路や検査回路が設けられることもある。また、対向基板20のコーナー部の少なくとも1箇所においては、アクティブマトリクス基板10と対向基板20との間で電氣的導通をとるための基板間導通材106が形成されている。

【0022】なお、データ線駆動回路101および走査線駆動回路104をアクティブマトリクス基板10の上に形成する代わりに、たとえば、駆動用LSIが実装されたTAB（テープオートメイテッド、ボンディング）基板をアクティブマトリクス基板10の周辺部に形成された端子群に対して異方性導電膜を介して電氣的および機械的に接続するようにしてもよい。また、液晶装置100では、使用する液晶50の種類、すなわち、T

N（ツイステッドネマティック）モード、STN（スーパーTN）モード等々の動作モードや、ノーマリホワイトモード／ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置されるが、ここでは図示を省略してある。

【0023】また、液晶装置100をカラー表示用として構成する場合には、対向基板20において、アクティブマトリクス基板10の各画素電極（後述する）に対向する領域にRGBのカラーフィルタをその保護膜とともに形成する。

【0024】このような構造を有する液晶装置100の画像表示領域10aにおいては、図3に示すように、複数の画素100aがマトリクス状に構成されているとともに、これらの画素100aの各々には、画素電極9a、およびこの画素電極9aを駆動するための画素スイッチング用のTF T 30が形成されており、画素信号S1、S2・・・Snを供給するデータ線6aが当該TF T 30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。また、TF T 30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2・・・Gmをこの順に線順次で印加するように構成されている。画素電極9aは、TF T 30のドレインに電氣的に接続されており、スイッチング素子であるTF T 30を一定期間だけそのオン状態とすることにより、データ線6aから供給される画素信号S1、S2・・・Snを各画素に所定のタイミングで書き込む。このようにして画素電極9aを介して液晶に書き込まれた所定レベルの画素信号S1、S2、・・・Snは、図2に示す対向基板20の対向電極21との間で一定期間保持される。

【0025】ここで、液晶50は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶50の部分を通過する光量が低下し、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶50の部分を通過する光量が増大していく。その結果、全体として液晶装置100からは画素信号S1、S2、・・・Snに応じたコントラストを持つ光が出射される。

【0026】なお、保持された画素信号S1、S2、・・・Snがリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量60を付加することがある。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量60により保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い液晶装

置100が実現できる。なお、蓄積容量60を形成する方法としては、図3に例示するように、蓄積容量60を形成するための配線である容量線3bとの間に形成する場合、あるいは前段の走査線3aとの間に形成する場合もいずれであってもよい。

【0027】（アクティブマトリクス基板10の構成）図4は、本形態の液晶装置100に用いたアクティブマトリクス基板10の相隣接する複数の画素群の平面図である。図5は、液晶装置100の画素の一部を図4のA-A'線に相当する位置で切断したときの断面図である。図6（A）、（B）は、画素スイッチング用のTF T 30と画素電極9aとの電氣的な接続部分を拡大して示す断面図、および平面図である。

【0028】図4において、アクティブマトリクス基板10上には、複数の透明なITO（Indium Tin Oxide）膜からなる画素電極9aがマトリクス状に形成されており、これら各画素電極9aに対して画素スイッチング用のTF T 30がそれぞれ接続している。また、画素電極9aの縦横の境界に沿って、データ線6a、走査線3a、および容量線3bが形成され、TF T 30は、データ線6aおよび走査線3aに対して接続している。すなわち、データ線6aは、コンタクトホールを介してTF T 30の高濃度ソース領域1dに電氣的に接続し、画素電極9aは、コンタクトホールを介してTF T 30の高濃度ドレイン領域1eに電氣的に接続している。また、TF T 30のチャネル領域1a'に対向するように走査線3aが延びている。なお、蓄積容量60（蓄積容量素子）は、画素スイッチング用のTF T 30を形成するための半導体膜1の延設部分1fを導電化したものを下電極とし、この下電極41に、走査線3bと同層の容量線3bが上電極として重なった構造になっている。

【0029】このように構成した各画素100aにおいては、画素電極9aが形成されている領域のうち、一点鎖線8'で囲まれた領域は、透過モードで表示を行う透過領域であり、後述する凹凸形成層および光反射膜が形成されておらず、その他の領域は、後述する凹凸形成層および光反射膜を備えた反射領域であり、ここでは反射モードで表示を行う。

【0030】この反射領域のA-A'線における断面は、図5に示すように、アクティブマトリクス基板10の基体たる透明な基板10'の表面に、厚さが300nm～500nmのシリコン酸化膜（絶縁膜）からなる下地保護膜11が形成され、この下地保護膜11の表面には、厚さが50nm～100nmの島状の半導体膜1aが形成されている。半導体膜1aの表面には、厚さが約50～150nmのシリコン酸化膜からなるゲート絶縁膜2aが形成され、このゲート絶縁膜2aの表面に、厚さが300nm～800nmの走査線3aがゲート電極として通っている。半導体膜1aのうち、走査線3aに

対してゲート絶縁膜2aを介して対峙する領域がチャンネル領域1a'になっている。このチャンネル領域1a'に対して一方側には、低濃度ソース領域1bおよび高濃度ソース領域1dを備えるソース領域が形成され、他方側には低濃度ドレイン領域1cおよび高濃度ドレイン領域1eを備えるドレイン領域が形成されている。

【0031】画素スイッチング用のTFT30の表面側には、厚さが300nm～800nmのシリコン酸化膜からなる第1層間絶縁膜4、および厚さが100nm～300nmのシリコン窒化膜からなる第2層間絶縁膜5（表面保護膜）が形成されている。第1層間絶縁膜4の表面には、厚さが300nm～800nmのデータ線6aが形成され、このデータ線6aは、第1層間絶縁膜4に形成されたコンタクトホールを介して高濃度ソース領域1dに電氣的に接続している。第1層間絶縁膜4の表面にはデータ線6aと同時形成されたドレイン電極6bが形成され、このドレイン電極6bは、第1層間絶縁膜4に形成されたコンタクトホールを介して高濃度ドレイン領域1eに電氣的に接続している。

【0032】第2層間絶縁膜5の上層には、後述するように、アクリル樹脂などの感光性樹脂からなる凹凸形成層13aおよび上層膜7aがこの順に形成され、この上層膜7aの表面には、アルミニウム膜などからなる光反射膜8aが形成されている。

【0033】光反射膜8aの上層には、ITO膜からなる透明な画素電極9aが形成されている。画素電極9aは、光反射膜8aの表面に直接、積層されている。また、画素電極9aは、図6(A)、(B)を参照して後述するように、凹凸形成層13aを構成する第1の感光性樹脂層、上層膜7aを構成する第2の感光性樹脂層、および第2層間絶縁膜5の各々に形成されたコンタクトホール13'、7'、5'を介してドレイン電極6bに電氣的に接続している。

【0034】画素電極9aの表面側にはポリイミド膜からなる配向膜12が形成されている。この配向膜12は、ポリイミド膜に対してラビング処理が施された膜である。

【0035】また、高濃度ドレイン領域1eからの延設部分1f（下電極）に対しては、ゲート絶縁膜2aと同時に形成された絶縁膜（誘電体膜）を介して、走査線3aと同層の容量線3bが上電極として対向することにより、蓄積容量60が構成されている。

【0036】なお、TFT30は、好ましくは上述のようにLDD構造をもつが、低濃度ソース領域1b、および低濃度ドレイン領域1cに相当する領域に不純物イオンの打ち込みを行わないオフセット構造を有していてもよい。また、TFT30は、ゲート電極（走査線3aの一部）をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度のソースおよびドレイン領域を形成したセルフアライン型のTFTであってもよい。

【0037】また、本形態では、TFT30のゲート電極（走査線3a）をソースドレイン領域の間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）、あるいはトリプルゲート以上でTFT30を構成すれば、チャンネルとソースドレイン領域の接合部でのリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0038】（感光性樹脂層の構成）図4および図5において、アクティブマトリクス基板10では、各画素100aの反射領域には、光反射膜8aの表面のうち、TFT30の形成領域から外れた領域（光反射膜形成領域）に、凸部8bおよび凹部8cを備えた凹凸パターン8gが形成されている。

【0039】このような凹凸パターン8gを構成するにあたって、本形態のアクティブマトリクス基板10では、光反射膜8aの下層側のうち、光反射膜8aと平面的に重なる領域には、アクリル樹脂などの第1の感光性樹脂からなる凹凸形成層13aが第2層間絶縁膜5の表面に厚めに、例えば2～3μmの厚さに形成され、この凹凸形成層13aの上層には、アクリル樹脂などといった第2の感光性樹脂からなる上層膜7aが厚めに、例えば1～2μmの厚さに積層されている。このため、反射膜8aの表面には、凹凸形成層13aの凹凸に対応する凹凸パターン8gが形成され、この凹凸パターン8gでは、上層膜7aによって、凹凸形成層13aのエッジなどが出ないようにになっている。

【0040】また、アクティブマトリクス基板10において、感光性樹脂13、7はいずれも、TFT30が形成されている領域に層間絶縁膜として残されており、図6(A)、(B)に示すように、各々にはコンタクトホール13'、7'が形成されている。これらのコンタクトホール13'、7'はいずれも、第2層間絶縁膜5のコンタクトホール5'と重なっており、画素電極9aとTFT30のドレイン領域1eとをドレイン電極6bを介して電氣的に接続させている。

【0041】ここで、コンタクトホール13'は一辺が5μm～10μmと大きめで、かつ、寸法精度が厳しくないが、コンタクトホール7'は一辺が5μmと小さめで、かつ、高い寸法精度が求められる。

【0042】このような構成のアクティブマトリクス基板10を製造するにあたって、本形態では、詳しくは後述するように、第1の感光性樹脂13として、ネガ型のアクリル樹脂を用い、第2の感光性樹脂7としては、ポジ型のアクリル樹脂を用いていることを特徴とする。

【0043】（対向基板の構成）図5において、対向基

板20では、アクティブマトリクス基板10に形成されている画素電極9aの縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。また、対向電極21の上層側には、ポリイミド膜からなる配向膜22が形成され、この配向膜22は、ポリイミド膜に対してラビング処理が施された膜である。

【0044】（液晶装置100の表示動作）このように構成した液晶装置100では、画素電極9aの下層側にアルミニウム膜などからなる光反射膜8aが形成されている。このため、対向基板20側から入射した光をアクティブマトリクス基板10側で反射し、対向基板20側から出射することができるので、この間に液晶50によって各画素100a毎で光変調を行えば、外光を利用して所望の画像を表示することができる（反射モード）。

【0045】また、液晶装置100においては、図4で一点鎖線8'で囲んだ領域を避けるように光反射膜8aが形成されているため、半透過・半反射型の液晶装置としても機能する。すなわち、アクティブマトリクス基板10の側に配置されたバックライト装置（図示せず）から出射された光は、アクティブマトリクス基板10の側に入射した後、各画素100aにおいて画素電極9aが形成されている領域のうち、光反射膜8aが形成されていない透過領域を介して対向基板20側に透過する。このため、液晶50によって各画素100a毎で光変調を行えば、バックライト装置から出射された光を利用して所望の画像を表示することができる（透過モード）。

【0046】また、本形態では、光反射膜8aの下層側のうち、光反射膜8aと平面的に重なる領域に凹凸形成層13aを形成し、この凹凸形成層13aが形成する凹凸を利用して、光反射膜8aの表面に光散乱用の凹凸パターン8gを形成している。また、凹凸パターン8gでは、上層膜7aによって、凹凸形成層13aのエッジなどが出ないようにになっている。従って、反射モードで画像を表示したとき、散乱反射光で画像を表示するため、視野角依存性が小さい。

【0047】〔アクティブマトリクス基板10の製造方法〕このような構成のアクティブマトリクス基板10を製造する方法を、図7ないし図11を参照して説明する。図7ないし図11はいずれも、本形態のアクティブマトリクス基板10の製造方法を示す工程断面図であり、いずれの図においても、TF T形成領域、および光反射膜形成領域（反射領域）の断面を示してある。

【0048】まず、図7（A）に示すように、超音波洗浄等により清浄化したガラス製の基板10'を準備した後、基板温度が150℃～450℃の温度条件下で、基板10'の全面に、シリコン酸化膜からなる下地保護膜11をプラズマCVD法により300nm～500nmの厚さに形成する。このときの原料ガスとしては、た

例えばモノシランと笑気ガスとの混合ガスやTEOSと酸素、あるいはジシランとアンモニアを用いることができる。

【0049】次に、基板温度が150℃～450℃の温度条件下で、基板10'の全面に、非晶質シリコン膜からなる半導体膜1をプラズマCVD法により50nm～100nmの厚さに形成する。このときの原料ガスとしては、たとえばジシランやモノシランを用いることができる。次に、半導体膜1に対してレーザ光を照射してレーザアニールを施す。その結果、アモルファスの半導体膜1は、一度溶融し、冷却固化過程を経て結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域も基板全体に対して局所的であるため、基板全体が同時に高温に熱せられることがない。それ故、基板10'としてガラス基板などを用いても熱による変形や割れ等が生じない。

【0050】次に、半導体膜1の表面にフォトリソグラフィ技術を用いてレジストマスク551を形成し、このレジストマスク551を介して半導体膜1をエッチングすることにより、図7（B）に示すように、島状の半導体膜1a（能動層）を形成する。

【0051】次に、350℃以下の温度条件下で、基板10'の全面に、CVD法などにより半導体膜1aの表面に、シリコン酸化膜などからなるゲート絶縁膜2を50nm～150nmの厚さに形成する。このときの原料ガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。ここで形成するゲート絶縁膜2は、シリコン酸化膜に代えてシリコン窒化膜であってもよい。

【0052】次に、図示を省略するが、所定のレジストマスクを介して半導体膜1aの延設部分1fに不純物イオンを打ち込んで、容量線3bとの間に蓄積容量60を構成するための下電極を形成する。

【0053】次に、図7（C）に示すように、スパッタ法などにより、基板10'の全面に、走査線3aなどを形成するためのアルミニウム膜、タンタル膜、モリブデン膜、またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜3を300nm～800nmの厚さに形成した後、フォトリソグラフィ技術を用いてレジストマスク552を形成する。

【0054】次に、レジストマスク552を介して導電膜3をドライエッチングし、図7（D）に示すように、走査線3a（ゲート電極）、容量線3bなどを形成する。

【0055】次に、画素TF T部および駆動回路のNチャネルTF T部（図示せず）の側には、走査線3aやゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（リンイオン）を打ち込んで、走査線3aに対して自己整合的に低濃度ソース領域1bおよび低濃度ドレイ

10

20

30

40

50

ン領域1cを形成する。ここで、走査線3aの真下に位置しているため、不純物イオンが導入されなかった部分は半導体膜1aのままのチャンネル領域1a'となる。

【0056】次に、図8(A)に示すように、画素TF T部では、走査線3a(ゲート電極)より幅の広いレジストマスク553を形成して高濃度の不純物イオン(リンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度ソース領域1dおよびドレイン領域1eを形成する。

【0057】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極より幅の広いレジストマスクを形成した状態で高濃度の不純物(リンイオン)を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、走査線3aをマスクにして高濃度の不純物を打ち込んで、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0058】なお、図示を省略するが、このような工程によって、周辺駆動回路部のNチャンネルTF T部を形成するが、この際には、PチャンネルTF T部をマスクで覆っておく。また、周辺駆動回路のPチャンネルTF T部を形成する際には、画素部およびNチャンネルTF T部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量でボロンイオンを打ち込むことにより、自己整合的にPチャンネルのソース・ドレイン領域を形成する。この際、NチャンネルTF T部の形成時と同様、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2 \sim 10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物(ボロンイオン)を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極より幅の広いマスクを形成して高濃度の不純物(ボロンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、LDD構造(ライトリー・ドープト・ドレイン構造)のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物(リンイオン)を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵が可能となる。

【0059】次に、図8(B)に示すように、走査線3aの表面側にCVD法などにより、シリコン酸化膜などからなる第1層間絶縁膜4を300nm~800nmの厚さに形成する。このときの原料ガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。

【0060】次に、フォトリソグラフィ技術を用いてレジストマスク554を形成する。

【0061】次に、レジストマスク554を介して第1層間絶縁膜4にドライエッチングを行い、図8(C)に

示すように、第1層間絶縁膜4においてソース領域およびドレイン領域に対応する部分にコンタクトホール4'(図6(A)、(B)を参照)などを形成する。

【0062】次に、図8(D)に示すように、第1層間絶縁膜4の表面側に、データ線6a(ソース電極)などを構成するためのアルミニウム膜、タンタル膜、モリブデン膜、またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜6をスパッタ法などで300nm~800nmの厚さに形成した後、フォトリソグラフィ技術を用いてレジストマスク555を形成する。

【0063】次に、レジストマスク555を介して導電膜6にドライエッチングを行い、図9(A)に示すように、データ線6a、およびドレイン電極6bを形成する。

【0064】次に、図9(B)に示すように、データ線6a、およびドレイン電極6bの表面側にCVD法などにより、シリコン窒化膜などからなる第2層間絶縁膜5を100nm~300nmの膜厚に形成した後、フォトリソグラフィ技術を用いて、第2層間絶縁膜5にコンタクトホールなどを形成するためのレジストマスク556を形成する。

【0065】次に、レジストマスク556を介して第2層間絶縁膜5にドライエッチングを行い、図9(C)に示すように、第2層間絶縁膜5のうち、ドレイン電極6bに対応する部分にコンタクトホール5'(図6(A)、(B)を参照)を形成する。

【0066】次に、図10(A)に示すように、第2層間絶縁膜5の表面に、スピンコート法により、アクリル樹脂からなる第1の感光性樹脂13を厚めに、例えば2~3μmの厚さに塗布した後、感光性樹脂13を露光、現像して、図10(B)に示すように、光反射膜8aの下層側のうち、光反射膜8aと平面的に重なる領域に凹凸形成層13aを形成する。ここで、第1の感光性樹脂13は、TF T30の形成領域では、コンタクトホール13'(図6(A)、(B)を参照)を備えた層間絶縁膜としても残す。

【0067】このようなフォトリソグラフィ技術を利用して凹凸形成層13aを形成する際、本形態では、第1の感光性樹脂13としてはネガ型のアクリル樹脂を用いる。このため、図10(A)に示すように、第1の感光性樹脂13を残したい部分に対して露光マスク510の透光部分511を介して紫外線を照射し、第1の感光性樹脂13を除去したい部分には遮光部分512で紫外線を遮光する。

【0068】次に、図10(C)に示すように、第2層間絶縁膜5および凹凸形成層13aの表面側に、スピンコート法により、アクリル樹脂からなる第2の感光性樹脂7を厚めに、例えば1~2μmの厚さに塗布した後、感光性樹脂7を露光、現像して、図10(D)に示すように、コンタクトホール7'(図6(A)、(B)を参

照)を備えた上層膜7aを形成する。

【0069】このようなフォトリソグラフィ技術を利用して上層膜7aを形成する際、本形態では、第2の感光性樹脂7としてはポジ型のアクリル樹脂を用いる。このため、図10(C)に示すように、第2の感光性樹脂7を除去したい部分に対して、露光マスク520の透光部分521を介して紫外線を照射し、第2の感光性樹脂7を残したい部分には遮光部分522で紫外線を遮光する。

【0070】次に、図11(A)に示すように、スパッタ法などによって、上層膜7aの表面にアルミニウム膜などといった反射性を備えた金属膜8を形成した後、フォトリソグラフィ技術を用いてレジストマスク557を形成する。

【0071】次に、レジストマスク557を介して金属膜8にエッチングを行い、図11(B)に示すように、所定領域に光反射膜8aを残す。このようにして形成した光反射膜8aの表面には、凹凸形成層13aによって500nm以上、さらには800nm以上の凹凸パターン8gが形成され、かつ、この凹凸パターン8gは、上層膜7aによって、エッジのない、なだらかな形状になっている。

【0072】次に、図11(C)に示すように、光反射膜8aの表面側に、厚さが40nm〜200nmのITO膜9をスパッタ法などで形成した後、フォトリソグラフィ技術を用いてレジストマスク558を形成する。

【0073】次に、レジストマスク558を介してITO膜9にエッチングを行って、図11(D)に示すように、ドレイン電極6bに電氣的に接続する画素電極9aを形成する。

【0074】しかる後には、図5に示すように、画素電極9aの表面側にポリイミド膜(配向膜12)を形成する。それには、ブチルセロソルブやn-メチルピロリドンなどの溶媒に5〜10重量%のポリイミドやポリアミド酸を溶解させたポリイミド・ワニスフレキシソ印刷した後、加熱・硬化(焼成)する。そして、ポリイミド膜を形成した基板をレーヨン系繊維からなるパフ布で一定方向に擦り、ポリイミド分子を表面近傍で一定方向に配列させる。その結果、後で充填した液晶分子とポリイミド分子との相互作用により液晶分子が一定方向に配列する。

【0075】その結果、アクティブマトリクス基板10が完成する。

【0076】(本形態の効果)このように本形態では、図6(A)、(B)に示すように、第1の感光性樹脂13および第2の感光性樹脂7のうち、上層側の第2の感光性樹脂7については、小さくて、かつ、寸法の許容範囲の狭いコンタクトホール7'を形成する必要があるため、解像度の高いポジ型の感光性樹脂を用いるのに対して、下層側の第1の感光性樹脂13については、大きく

て、かつ、寸法の許容範囲の広いコンタクトホール13'を形成すればよいので、ネガ型の感光性樹脂を用いる。ここで、ネガ型の感光性樹脂(第1の感光性樹脂13)は、解像度が低いというデメリットはあるが、感度が高いため、ポジ型の感光性樹脂を用いた場合と比較して露光時間を短縮できるので、露光のタクトを短くできる。

【0077】しかも、下層側の第1の感光性樹脂13に大きなコンタクトホール13'を形成したので、上層側の第2の感光性樹脂7に形成したコンタクトホール7'の開口縁は斜め上向きの滑らかなテーパ形状となる。それ故、コンタクトホール13'、7'を介して電氣的な接続を行った部分で断線などが発生しにくく、電氣的な接続部分の信頼性が高い。

【0078】また、本形態においては、凹凸形成層13aを形成する際には、基板10'の全面に塗布した第1の感光性樹脂13を広い面積にわたって除去するので、このような点からいっても、ネガ型の感光性樹脂を用いた方が露光を行いやすい。

【0079】さらに、感光性樹脂(第1の感光性樹脂13)をスピンコート法で塗布した場合、基板中心と比較して周辺部で樹脂が厚く塗布されてしまうが、ネガ型の感光性樹脂の場合、図10(A)を参照して説明したように、感光性樹脂を残したい領域に露光すればよいので、周辺部から感光性樹脂を除去した場合には周辺部を遮光したままにしておけばよい。それ故、通常の露光を行った後、別途、周辺部に対して露光を行うという手間を省けるので、生産性が高い。

【0080】さらにまた、ネガ型の感光性樹脂は、ポジ型の感光性樹脂と比較して安価である。

【0081】よって、本形態によれば、感光性樹脂7、13を形成するにあたって、要求される寸法精度を十分、満たすことができ、かつ、生産性の向上、および材料コストの低減を図ることができる。

【0082】[その他の実施の形態]上記形態でも、画素スイッチング素子としてTFTを用いたアクティブマトリクス型の液晶装置を例に説明したが、液晶以外の電気光学物質を用いた電気光学装置、あるいはその他の薄膜半導体装置に本発明を適用してもよい。

【0083】[液晶装置の電子機器への適用]このように構成した反射型、あるいは半透過・半反射型の液晶装置100は、各種の電子機器の表示部として用いることができるが、その一例を、図12、図13、および図14を参照して説明する。

【0084】図12は、本発明に係る液晶装置を表示装置として用いた電子機器の回路構成を示すブロック図である。

【0085】図12において、電子機器は、表示情報出力源70、表示情報処理回路71、電源回路72、タイミングジェネレータ73、そして液晶装置74を有す

る。また、液晶装置 74 は、液晶表示パネル 75 および駆動回路 76 を有する。液晶装置 74 としては、前述した液晶装置 100 を用いることができる。

【0086】表示情報出力源 70 は、ROM (Read Only Memory)、RAM (Random Access Memory) 等といったメモリ、各種ディスク等といったストレージユニット、デジタル画像信号を同調出力する同調回路等を備え、タイミングジェネレータ 73 によって生成された各種のクロック信号に基づいて、所定フォーマットの画像信号等といった表示

情報を表示情報処理回路 71 に供給する。

【0087】表示情報処理回路 71 は、シリアルパラレル変換回路や、増幅・反転回路、ローテーション回路、ガンマ補正回路、クランプ回路等といった周知の各種回路を備え、入力した表示情報の処理を実行して、その画像信号をクロック信号 CLK と共に駆動回路 76 へ供給する。電源回路 72 は、各構成要素に所定の電圧を供給する。

【0088】図 13 は、本発明に係る電子機器の一実施形態であるモバイル型のパーソナルコンピュータを示している。ここに示すパーソナルコンピュータ 80 は、キーボード 81 を備えた本体部 82 と、液晶表示ユニット 83 とを有する。液晶表示ユニット 83 は、前述した液晶装置 100 を含んで構成される。

【0089】図 14 は、本発明に係る電子機器の他の実施形態である携帯電話機を示している。ここに示す携帯電話機 90 は、複数の操作ボタン 91 と、前述した液晶装置 100 からなる表示部とを有している。

【0090】

【発明の効果】以上のとおり、本発明では、第 2 の感光性樹脂については、小さくて、かつ、寸法の許容範囲の狭いコンタクトホールを形成する必要があるので、解像度の高いポジ型の感光性樹脂を用いるのに対して、第 1 の感光性樹脂については、大きくて、かつ、寸法の許容範囲の広いコンタクトホールを形成すればよいので、ネガ型の感光性樹脂を用いる。ここで、ネガ型の感光性樹脂は、解像度が低いというデメリットはあるが、感度が高いため、ポジ型の感光性樹脂を用いた場合と比較して露光時間を短縮できるので、露光のタクトを短くできる。また、感光性樹脂をスピコート法で塗布した場合、基板中心と比較して周辺部で樹脂が厚く塗布されてしまうが、ネガ型の感光性樹脂の場合、感光性樹脂を残したい領域に露光すればよいので、周辺部から感光性樹脂を除去した場合には周辺部を遮光したままにしておけばよい。それ故、通常露光を行った後、別途、周辺部に対して露光を行うという手間を省けるので、生産性が高い。さらに、ネガ型の感光性樹脂は、ポジ型の感光性樹脂と比較して安価である。よって、本発明によれば、感光性樹脂を形成するにあたって、要求される寸法精度を十分、満たすことができ、かつ、生産性の向上、およ

び材料コストの低減を図ることができる。

【図面の簡単な説明】

【図 1】本発明を適用した液晶装置を対向基板の側から見たときの平面図である。

【図 2】図 1 の H-H' 線における断面図である。

【図 3】図 1 に示す液晶装置において、マトリクス状に配置された複数の画素に形成された各種素子、配線などの等価回路図である。

【図 4】本発明を適用した液晶装置において、アクティブマトリクス基板に形成された各画素の構成を示す平面図である。

【図 5】図 4 の A-A' 線に相当する位置で切断したときの画素の断面図である。

【図 6】(A)、(B) は、本発明を適用した液晶装置のアクティブマトリクス基板において、画素スイッチング用の TFT と画素電極との電気的な接続部分を拡大して示す断面図、および平面図である。

【図 7】(A)～(D) は、本発明を適用した液晶装置のアクティブマトリクス基板の製造方法を示す工程断面図である。

【図 8】(A)～(D) は、本発明を適用した液晶装置のアクティブマトリクス基板の製造方法において、図 7 に示す工程に続いて行う各工程の工程断面図である。

【図 9】(A)～(C) は、本発明を適用した液晶装置のアクティブマトリクス基板の製造方法において、図 8 に示す工程に続いて行う各工程の工程断面図である。

【図 10】(A)～(D) は、本発明を適用した液晶装置のアクティブマトリクス基板の製造方法において、図 9 に示す工程に続いて行う各工程の工程断面図である。

【図 11】(A)～(D) は、本発明を適用した液晶装置のアクティブマトリクス基板の製造方法において、図 10 に示す工程に続いて行う各工程の工程断面図である。

【図 12】本発明に係る液晶装置を表示装置として用いた電子機器の回路構成を示すブロック図である。

【図 13】本発明に係る液晶装置を用いた電子機器の一実施形態としてのモバイル型のパーソナルコンピュータを示す説明図である。

【図 14】本発明に係る液晶装置を用いた電子機器の一実施形態としての携帯電話機の説明図である。

【図 15】(A)～(D) は、従来の液晶装置の製造方法を示す工程断面図である。

【符号の説明】

1 a 半導体膜

1 a' チャネル形成用領域

2 ゲート絶縁膜

3 a 走査線

3 b 容量線

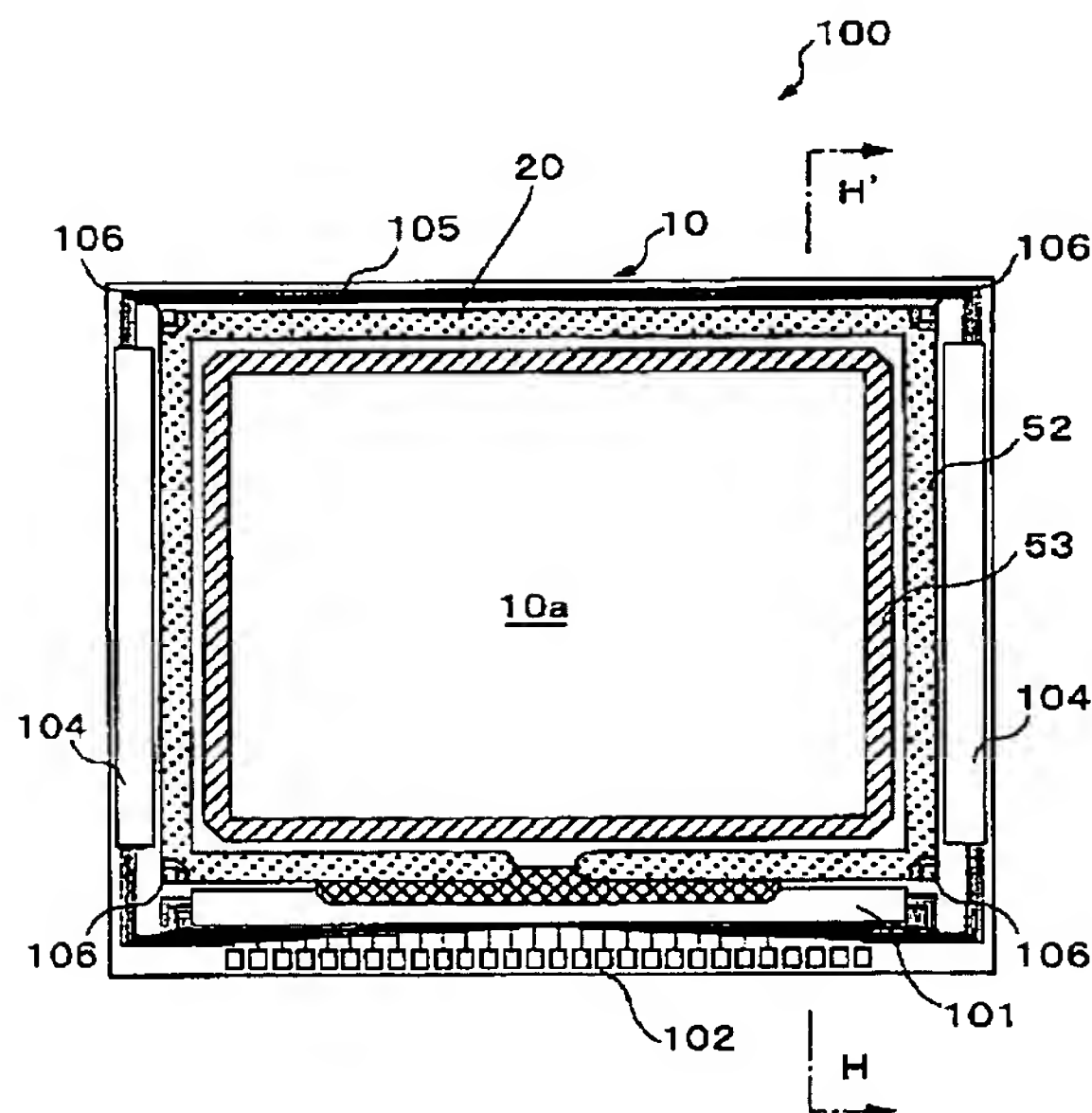
4 第 1 層間絶縁膜

4' 第 1 層間絶縁膜に形成したコンタクトホール

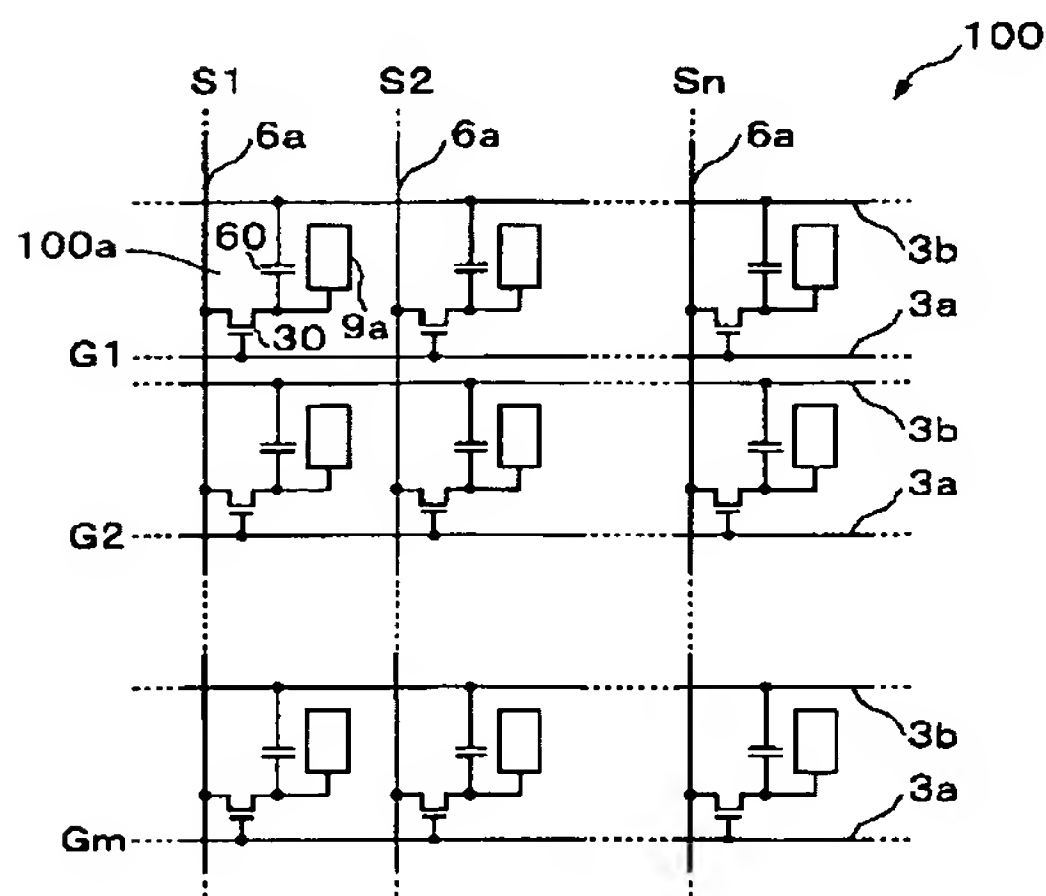
- 5 第2層間絶縁膜
 5' 第2層間絶縁膜に形成したコンタクトホール
 6a データ線
 6b ドレイン電極
 7 上層膜を形成するための第2の感光性樹脂
 7' 第2の感光性樹脂に形成したコンタクトホール
 7a 上層膜
 8a 光反射膜
 9a 画素電極
 10 アクティブマトリクス基板（薄膜半導体装置）
 11 下地保護膜
 13 凹凸形成層を形成するための第1の感光性樹脂 *

- * 13' 第1の感光性樹脂に形成したコンタクトホール
 13a 凹凸形成層
 20 対向基板
 30 画素スイッチング用のTFT
 50 液晶
 60 蓄積容量
 100 液晶装置（電気光学装置）
 100a 画素
 510、520 露光マスク
 511、521 露光マスクの透光部分
 512、522 露光マスクの遮光部分

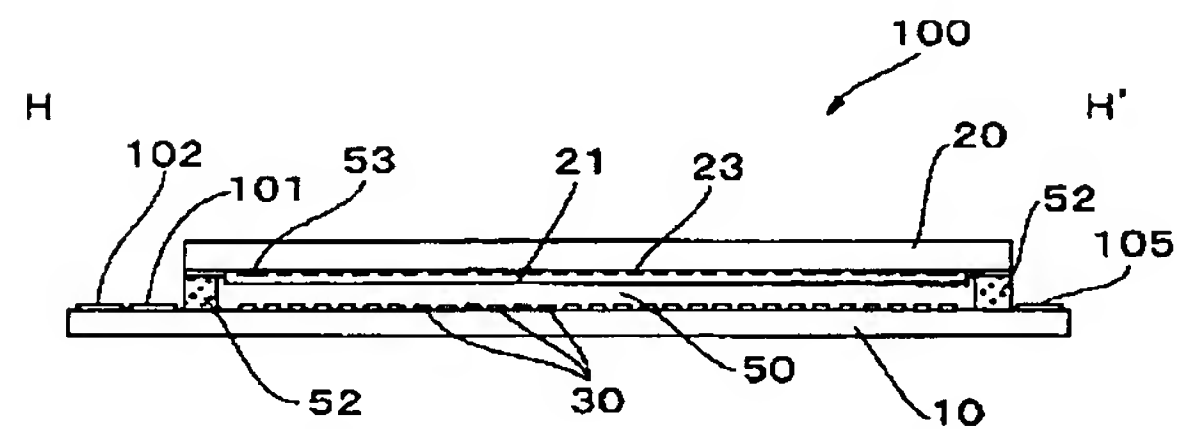
【図1】



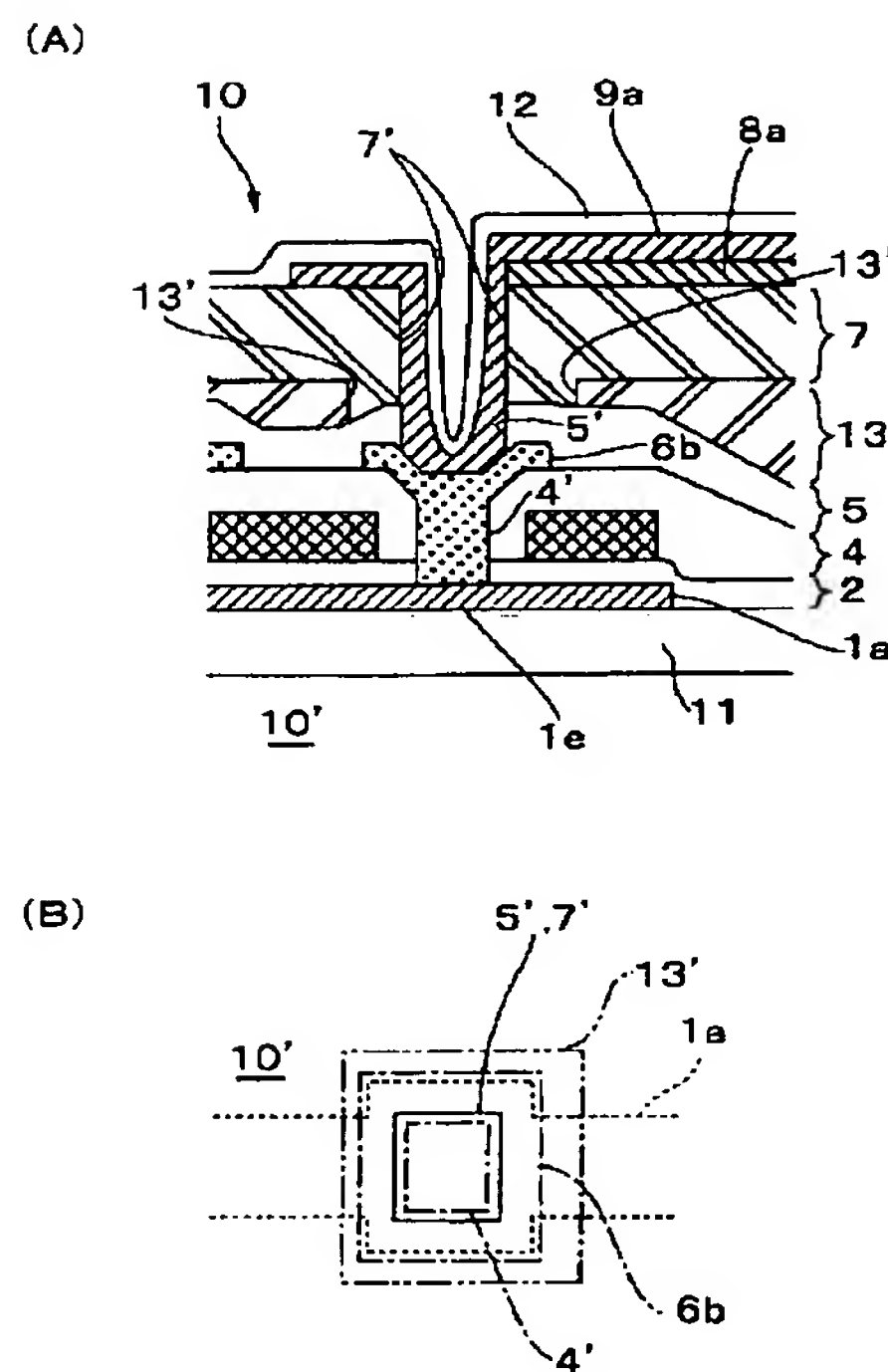
【図3】



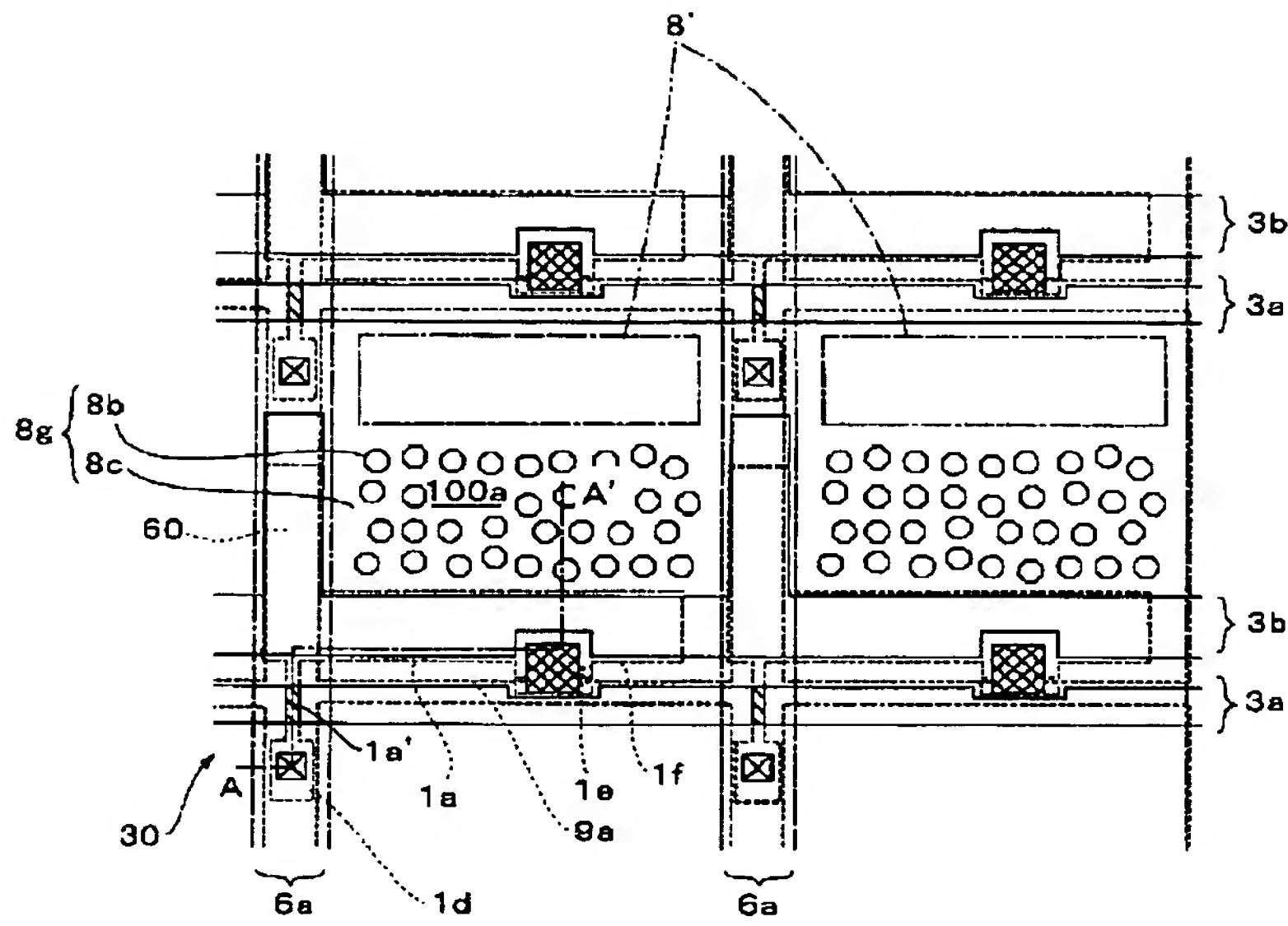
【図2】



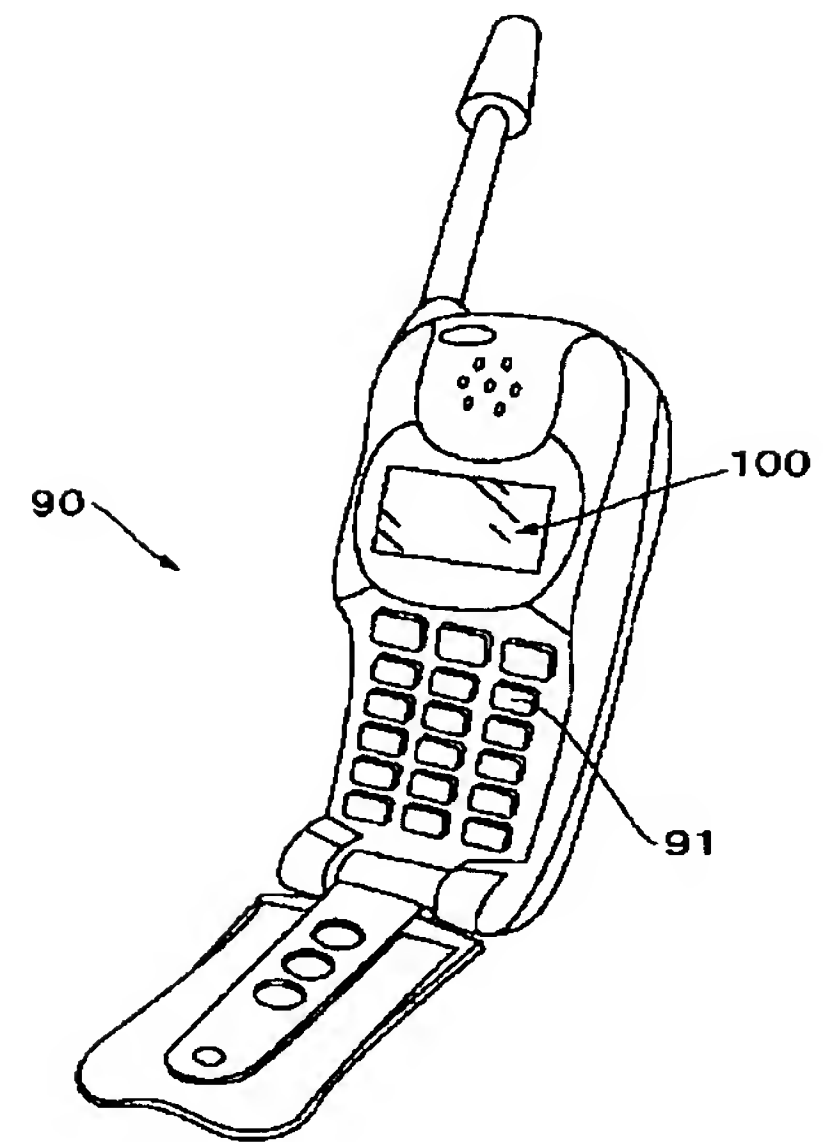
【図6】



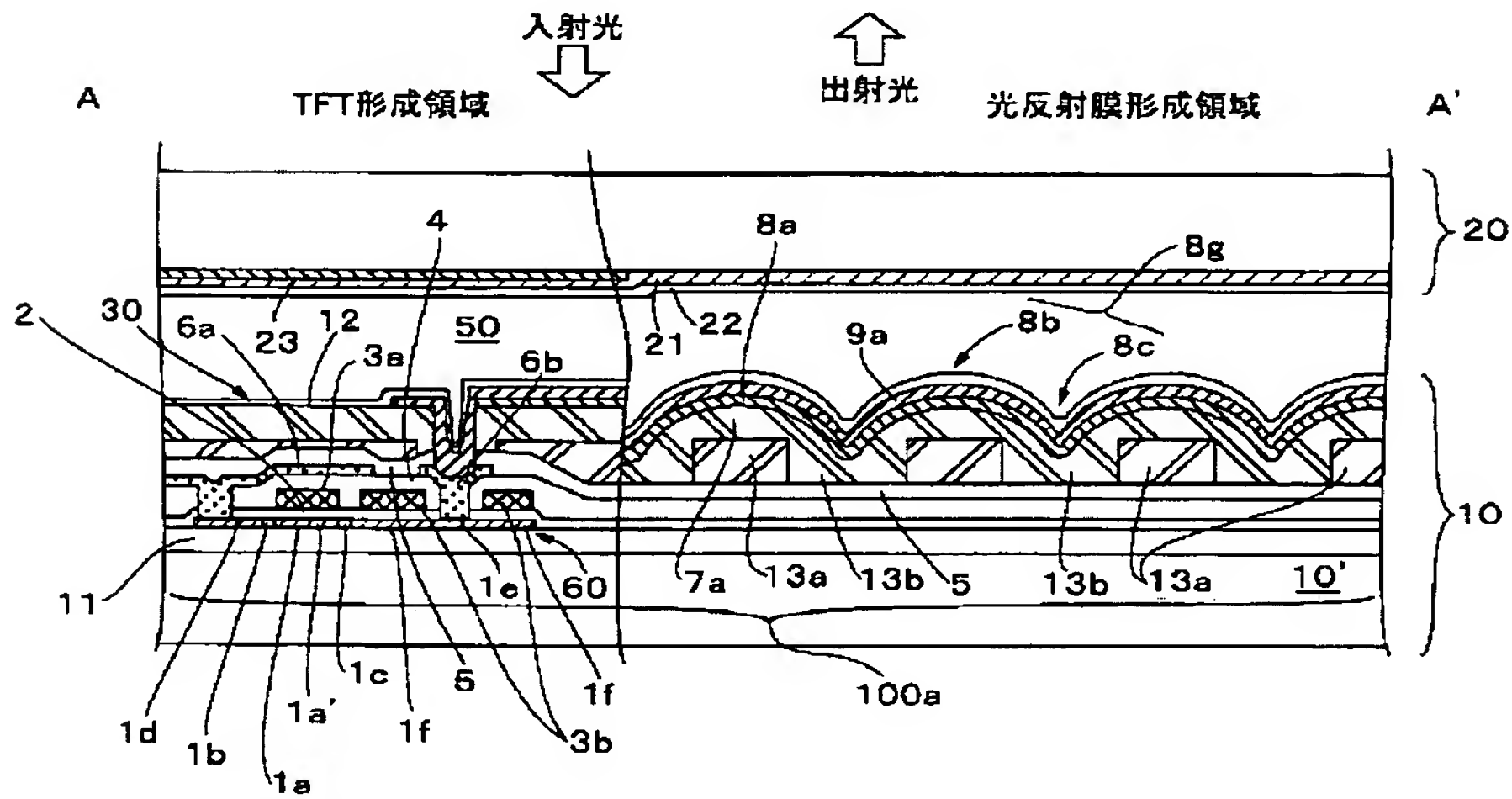
【図4】



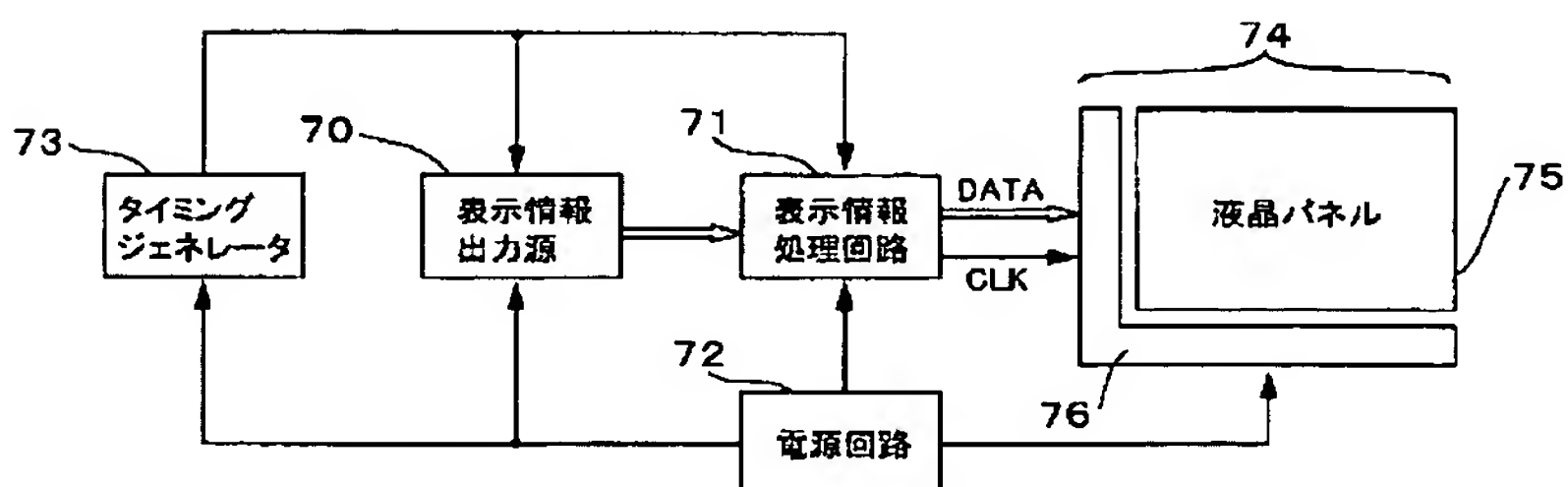
【図14】



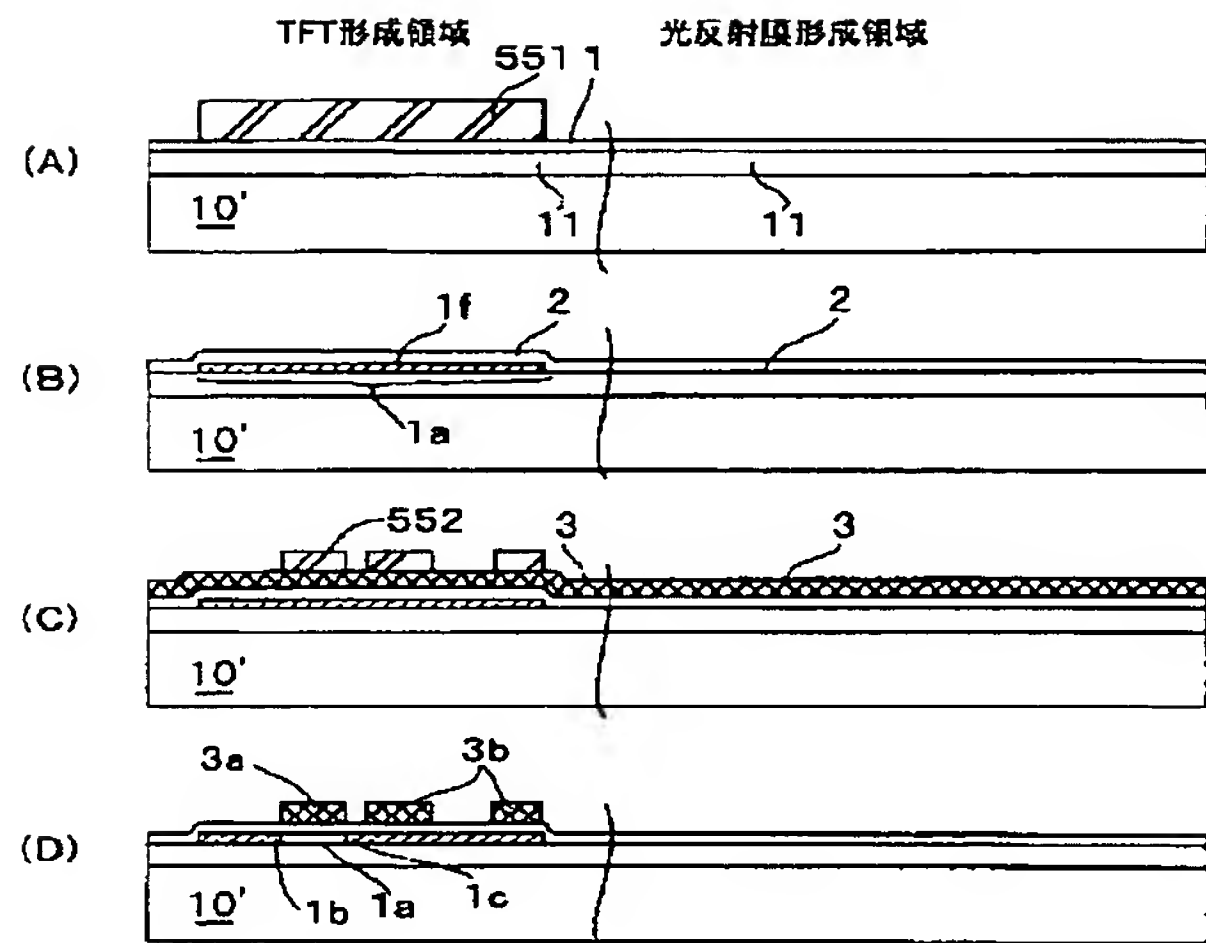
【図5】



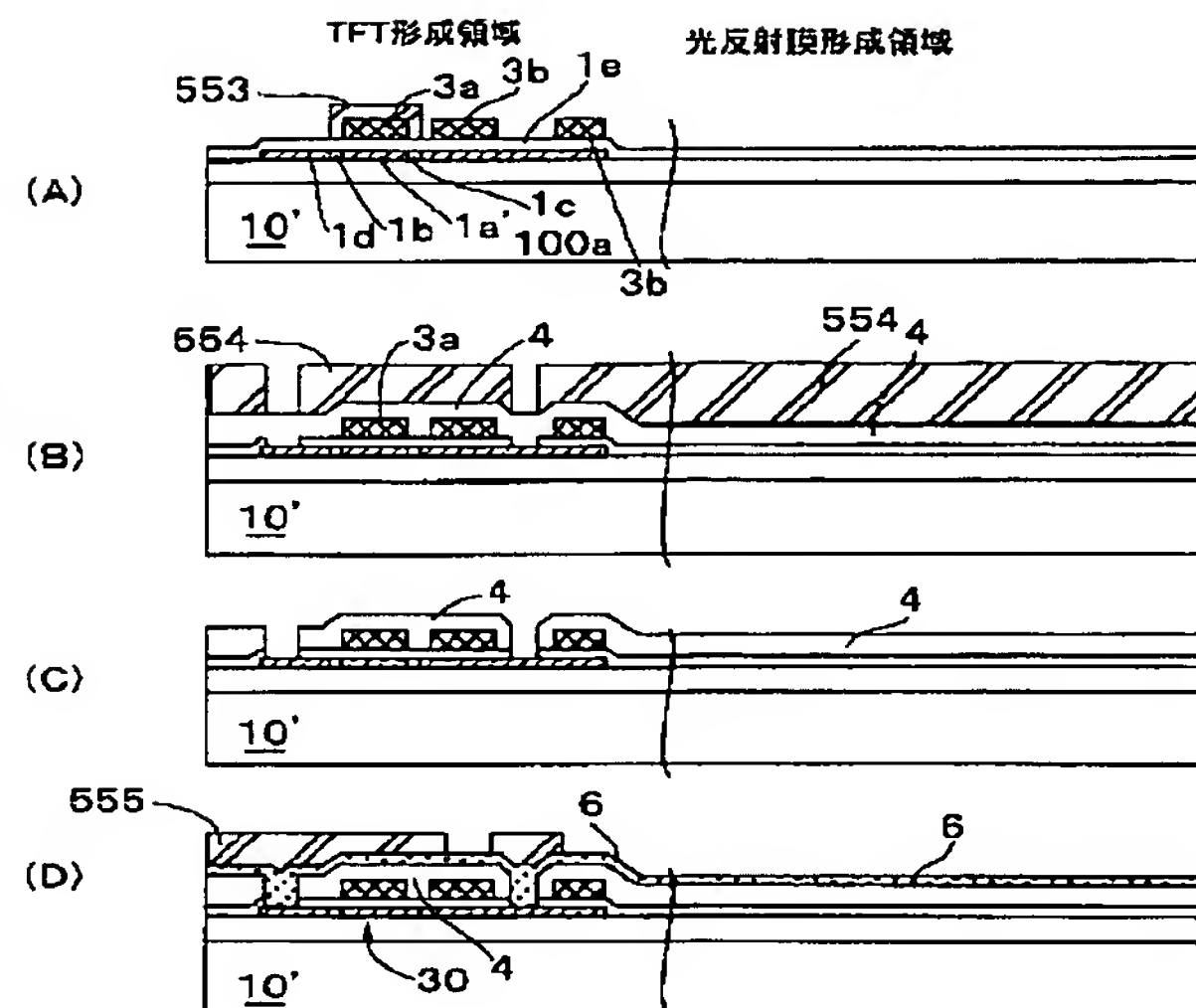
【図12】



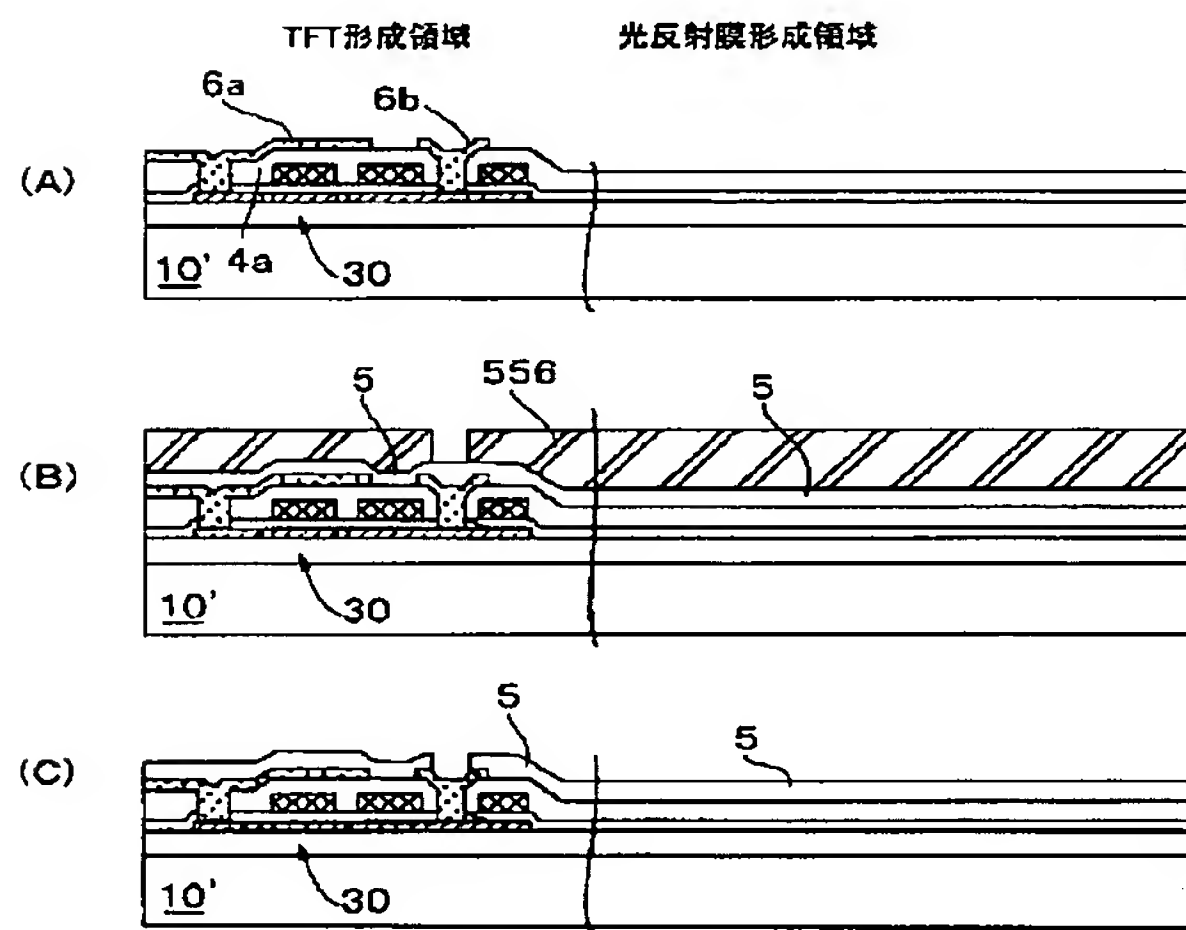
【図7】



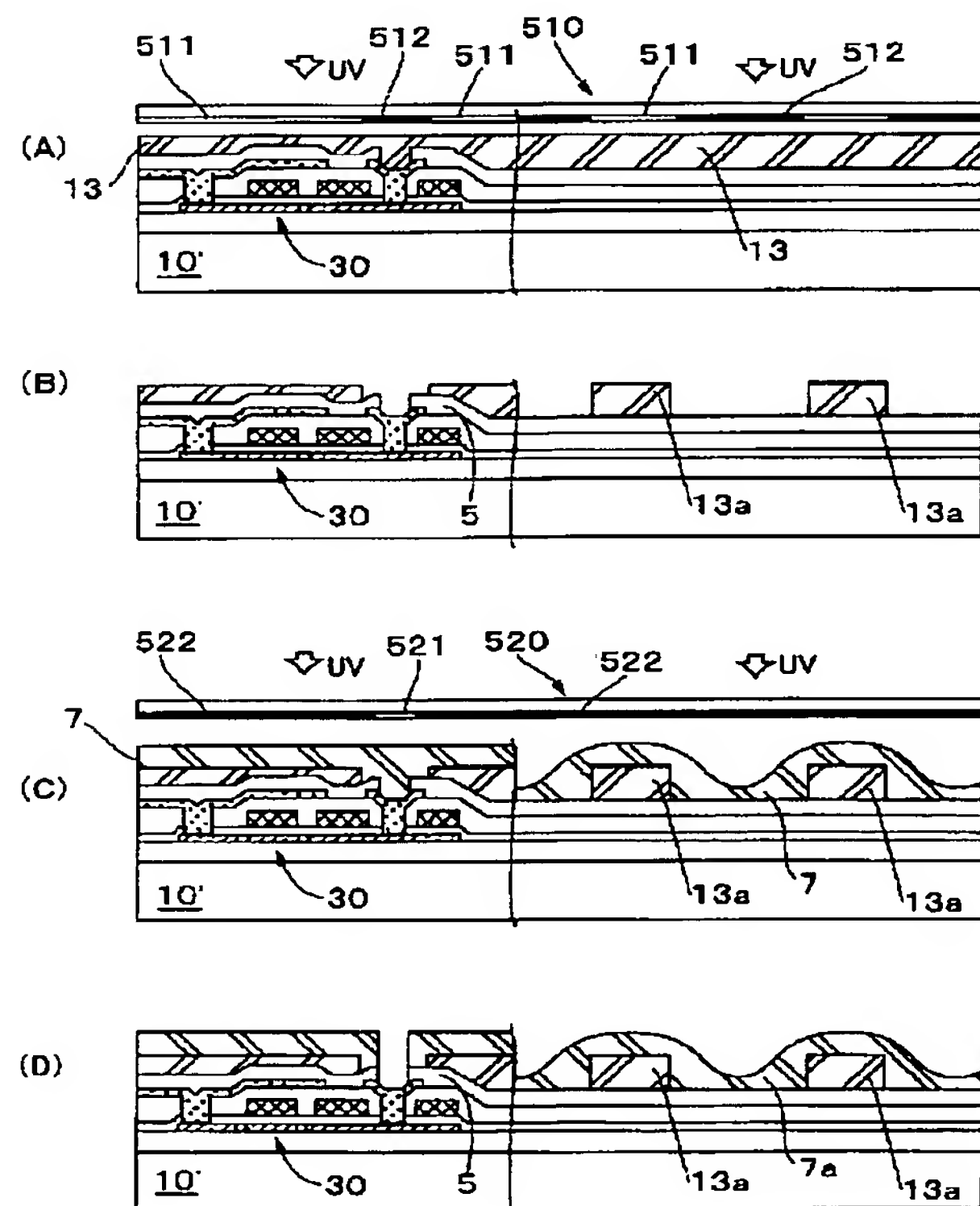
【図8】



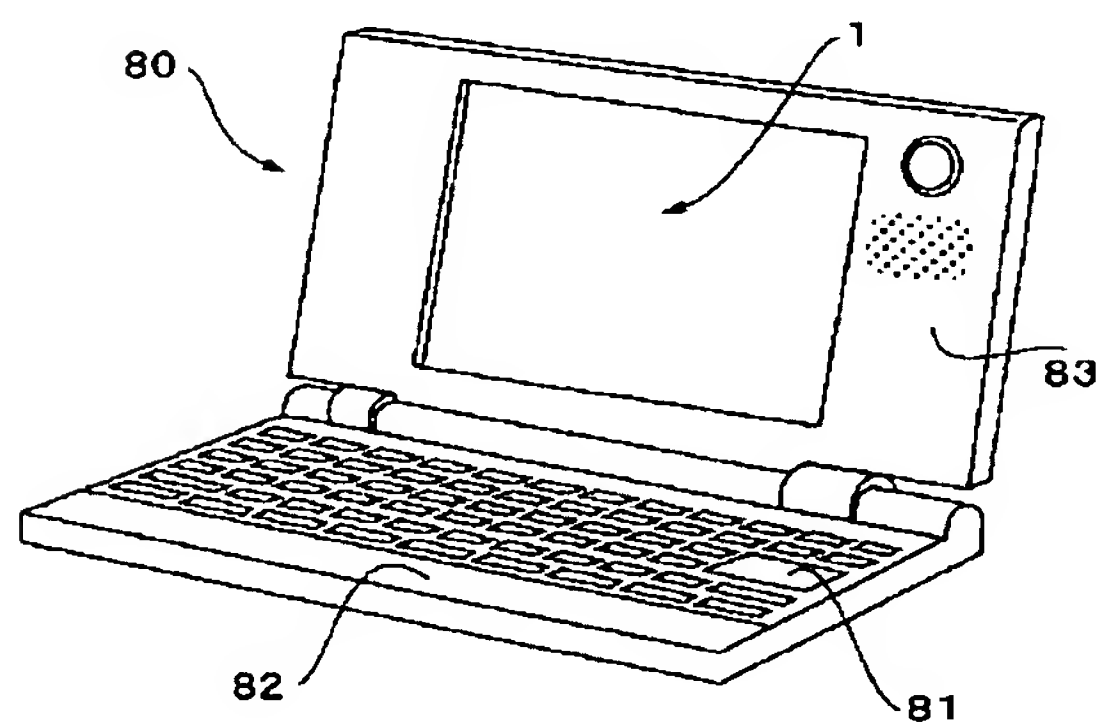
【図9】



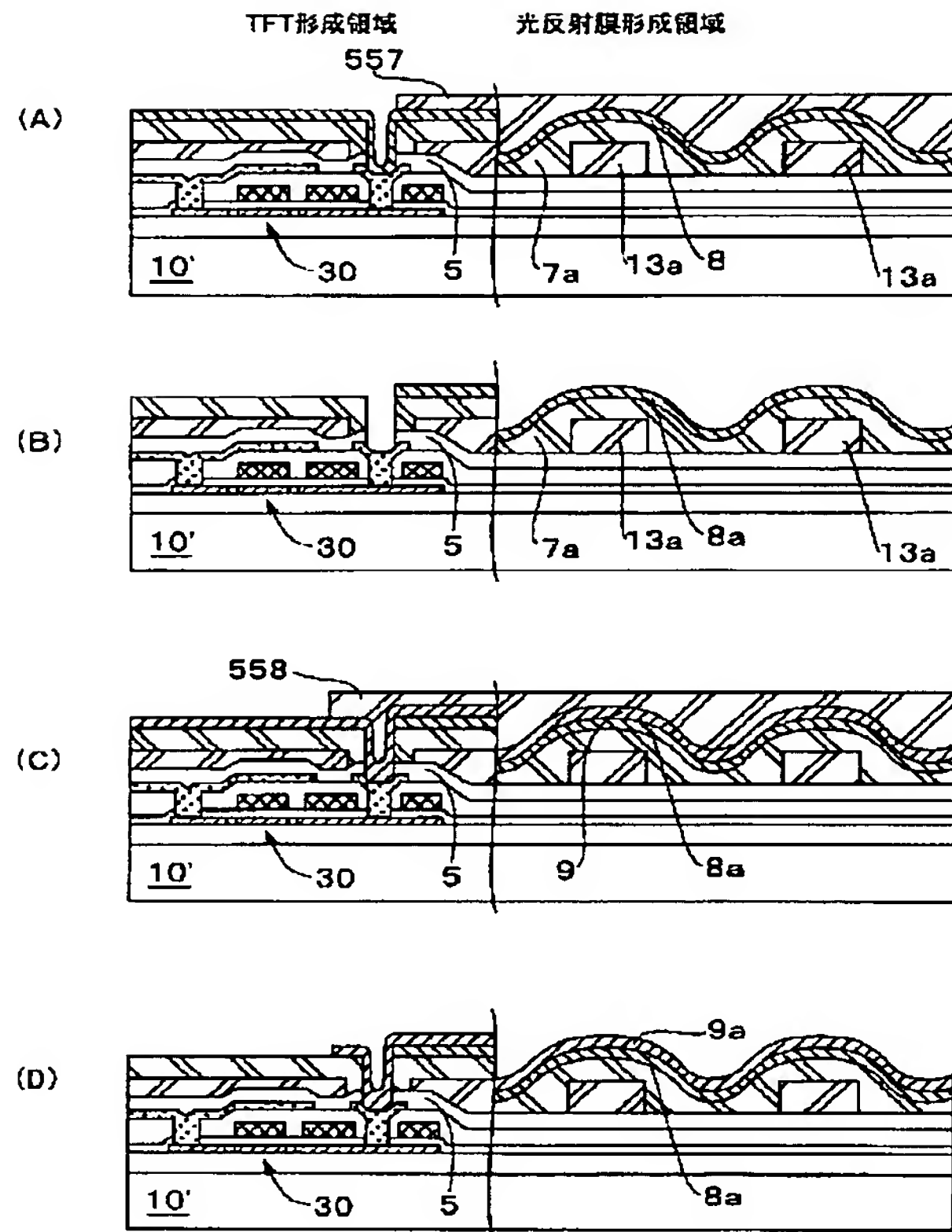
【図10】



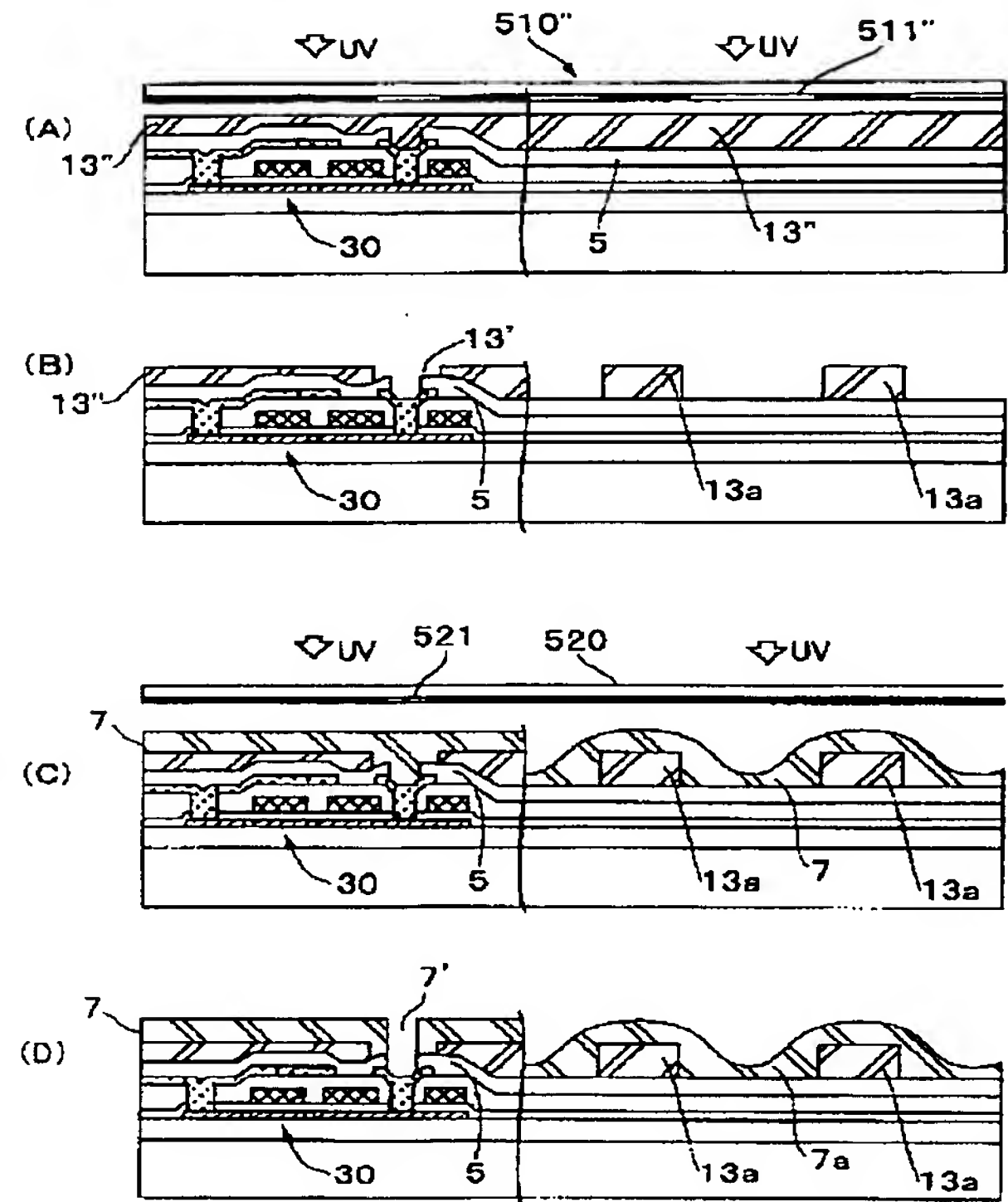
【図13】



【図11】



【図15】



フロントページの続き

Fターム(参考) 2H092 GA59 HA05 JA25 KA04 MA05
 MA07 MA13 MA17 MA28 MA35
 MA37 NA21 NA27 NA29 RA05
 5C094 AA03 AA43 BA03 BA43 CA19
 DA15 EA04 EA07
 5F110 AA16 AA30 BB02 BB04 CC02
 DD02 DD13 EE03 EE04 EE06
 EE28 EE44 FF02 FF03 FF29
 GG02 GG13 GG25 HJ01 HJ04
 HJ13 HL03 HL04 HL06 HL23
 HM14 HM15 NN03 NN04 NN23
 NN24 NN27 NN35 NN36 NN73
 PP03 QQ11
 5G435 AA01 AA17 BB12 CC09 KK05
 KK09 KK10